

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324800
 (43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01L 21/3213
 H01L 21/3205
 H01L 21/768

(21)Application number : 2001-127153

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.04.2001

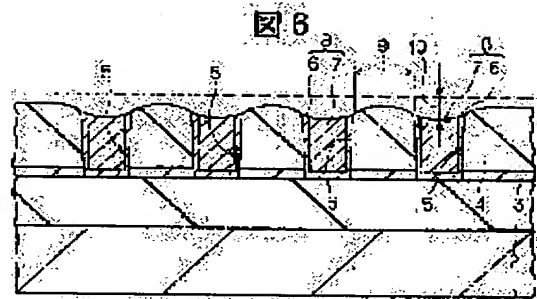
(72)Inventor : TANAKA TAKAO
 AOKI HIDEO
 OSHIMA TAKAFUMI
 YAMADA YOHEI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To lower parasitic capacitance added to an interconnect line.

SOLUTION: This method of manufacturing a semiconductor device has the steps of forming first and second grooves, which are adjacent to each other and have an upper portion wider than a bottom portion thereof in an insulating layer on a substrate (a); forming a conductive film on the insulating layer so as to fill the inside of the first and second grooves (b); forming an interconnect line constituted by the conductive film inside the first and second grooves, by selectively removing the conductive film on the insulating layer by the CMP method so that the conductive film is left inside the first and second grooves (c); and removing the upper layer portion of the interconnect line formed in the first and second grooves (d).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-324800
(P2002-324800A)

(43)公開日 平成14年11月8日(2002.11.8)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/3213		H 0 1 L 21/88	C 5 F 0 3 3
21/3205			K
21/768		21/90	A

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21)出願番号 特願2001-127153(P2001-127153)

(22)出願日 平成13年4月25日(2001.4.25)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 宇乙

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 青木 英雄

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

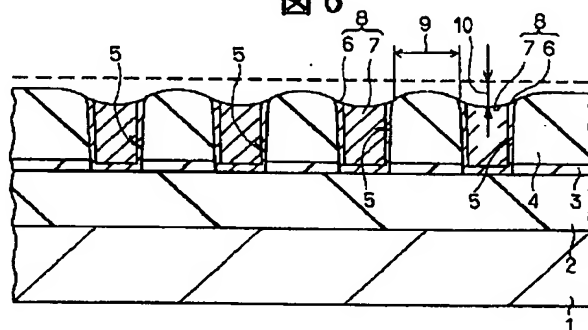
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 配線に付加される寄生容量を低減する。

【解決手段】 半導体装置の製造方法において、基板上の絶縁層に、互いに隣合い、かつ上部の幅が底部の幅よりも広い第1の溝及び第2の溝を形成する工程(a)と、前記第1及び第2の溝の内部を埋め込むように前記絶縁層上に導電膜を形成する工程(b)と、前記第1及び第2の溝の内部に前記導電膜が残るように前記絶縁層上における前記導電膜をCMP法で選択的に除去して、前記第1及び第2の溝の内部に前記導電膜からなる配線を形成する工程(c)と、前記第1及び第2の溝の内部に形成された前記配線の上層部を除去する工程(d)とを有する。

図 6



【特許請求の範囲】

【請求項 1】 基板上の絶縁層に、互いに隣合い、かつ上部の幅が底部の幅よりも広い第 1 の溝及び第 2 の溝を形成する工程 (a) と、

前記第 1 及び第 2 の溝の内部を埋め込むように前記絶縁層上に導電膜を形成する工程 (b) と、

前記第 1 及び第 2 の溝の内部に前記導電膜が残るように前記絶縁層上における前記導電膜を CMP 法で選択的に除去して、前記第 1 及び第 2 の溝の内部に前記導電膜からなる配線を形成する工程 (c) と、

前記第 1 及び第 2 の溝の内部に形成された前記配線の上層部を除去する工程 (d) とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記工程 (d) は、前記第 1 及び第 2 の溝の深さが浅くなるように、前記絶縁層の上層部及び前記配線の上層部を CMP 法で除去する工程であることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体装置の製造方法 20 において、

前記工程 (d) の後に、ウェットエッチングを施して、前記配線の上面と側面とが交わる角部の角度を鈍角にする工程 (e) を更に有することを特徴とする半導体装置の製造方法。

【請求項 4】 基板上の絶縁層に互いに隣合って形成された第 1 の溝及び第 2 の溝と、

前記第 1 の溝の内部に埋め込まれた第 1 の配線と、
前記第 2 の溝の内部に埋め込まれた第 2 の配線とを有し、

前記第 1 及び第 2 の配線は、幅方向に沿う断面において、上面の周縁部における高さが側面に向かって単調に減少する構造になっていることを特徴とする半導体装置。 30

【請求項 5】 請求項 4 に記載の半導体装置において、前記第 1 及び第 2 の配線は、幅方向に沿う断面において、上面と側面とが交わる角部の角度が鈍角をなす構造になっていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造技術に関し、特に、半導体装置の配線技術に関するものである。

【0002】

【従来の技術】 半導体装置においては、高集積化及び高性能化が要求され、更に高速化及び低消費電力化が要求されている。高集積化及び高性能化を図るには、トランジスタ素子、容量素子、抵抗素子等の素子間を電氣的に接続する配線においても微細化が必要であるが、配線の微細化は配線抵抗の増加を招くため、高速化及び低消費 50

電力化の妨げになる。

【0003】 そこで、従来から配線の材料として主流であったアルミニウム (Al) 材の代わりに銅 (Cu) 材が検討されている。Cu 材は、Al 材よりも電気抵抗率が低く、耐マイグレーション性に優れているため、次世代の LSI (Large Scale Integrated Circuit: 大規模集積回路) の配線材料として有力である。

【0004】 しかしながら、Cu 材は Al 材と比較してエッチングによるパターンニングが難しいため、Cu 配線の形成においては例えばダマシン (Damascene) 法と呼ばれる配線形成技術が採用されている。ダマシン法は、主に、絶縁層に配線パターンの溝を形成し、その後、溝の内部を埋め込むようにして導電膜を形成し、その後、溝の内部に導電膜が残るように余分な導電膜を CMP (Chemical Mechanical Polishing: 化学的機械研磨) 法で選択的に除去して配線を形成する方法である。

【0005】 なお、ダマシン法については、例えば、日経 BP 社発行、「日経マイクロデバイス」(1995 年 7 月号、第 120 頁乃至第 127 頁) に記載されている。また、同文献には、デュアル・ダマシン (Dual Damascene) 法と呼ばれる配線形成技術についても記載されている。

【0006】

【発明が解決しようとする課題】 ところで、ダマシン法では溝の内部に導電膜を埋め込んで配線を形成しているため、配線の幅方向に沿う断面形状は溝の幅方向に沿う断面形状によって律則される。配線の理想的な断面形状は幅よりも高さ(厚さ)が大きい長方形であるが、溝の断面形状はドライエッチング時のマスクの後退等によって上部がラッパ状に広がった台形状、若しくは底部から上部にかけてテーパ状に広がった台形状になるため、配線の断面形状も溝と同様の台形状になる。このため、隣合う配線間における上部のスペース幅が設計寸法よりも狭くなり、配線に付加される寄生容量が増加するという問題があった。また、溝が密な部分では配線間の短絡が起り易くなるという問題があった。更に、配線の断面形状は、上面と側面とが交わる角部での角度が 45 度よりも小さい形状となるため、電界の集中が起り易く、時間の経過とともに絶縁破壊が生じる TDDDB (Time Dependent Dielectric Breakdown) 耐性が劣化するという問題があった。

【0007】 本発明の目的は、配線に付加される寄生容量を低減することが可能な技術を提供することにある。

【0008】 本発明の他の目的は、配線間の短絡を抑制することが可能な技術を提供することにある。

【0009】 本発明の他の目的は、配線間における TDDDB 耐性の向上を図ることが可能な技術を提供することにある。

【0010】 本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】(1) 半導体装置の製造方法において、基板上の絶縁層に、互いに隣合い、かつ上部の幅が底部の幅よりも広い第1の溝及び第2の溝を形成する工程

(a) と、前記第1及び第2の溝の内部を埋め込むように前記絶縁層上に導電膜を形成する工程 (b) と、前記第1及び第2の溝の内部に前記導電膜が残るように前記絶縁層上における前記導電膜をCMP法で選択的に除去して、前記第1及び第2の溝の内部に前記導電膜からなる配線を形成する工程 (c) と、前記第1及び第2の溝の内部に形成された前記配線の上層部を除去する工程 (d) とを有する。

【0013】前記工程 (d) は、前記第1及び第2の溝の深さが浅くなるように、前記絶縁層の上層部及び前記配線の上層部をCMP法で除去する工程である。

【0014】前記手段 (1) によれば、配線間の上層部におけるスペース幅が広がるため、配線に付加される寄生容量を低減できる。また、配線間の短絡を抑制できる。

【0015】(2) 前記手段 (1) に記載の半導体装置の製造方法において、前記工程 (d) の後に、ウェットエッチングを施して、前記配線の上面と側面とが交わる角部の角度を鈍角にする工程 (e) を更に有する。

【0016】前記手段 (2) によれば、配線の上面と側面とが交わる角部での電界集中を緩和できるため、TDDB耐性の向上を図ることができる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0018】(実施形態1) 本実施形態1では、半導体装置の製造において、ダマシン法による配線形成技術に本発明を適用した例について説明する。

【0019】図1乃至図9は本発明の実施形態1である半導体装置の製造における配線形成工程を説明するための要部断面図であり、図8は図7の一部を拡大した断面図である。なお、図1乃至図9は後述する溝及び配線の幅方向に沿う断面図である。

【0020】まず、半導体基体として例えば単結晶シリコンからなるp型半導体基板1を準備し、その後、p型半導体基板1の主面(素子形成面)に、素子形成領域を区画するための素子間分離領域を形成する。

【0021】次に、p型半導体基板1の主面の素子形成領域に、バイポーラトランジスタ、MISFET (Met

al Insulator Semiconductor Field Effect Transistor) 等の半導体素子を形成し、その後、p型半導体基板1の主面上の全面に絶縁層として例えば酸化シリコン膜からなる層間絶縁膜2を形成し、その後、層間絶縁膜2上の全面に、絶縁層として例えばエッチングストップ膜3及び層間絶縁膜4を順次形成し、その後、層間絶縁膜4の表面をCMP法で平坦化する。層間絶縁膜4としては例えば酸化シリコン膜を用いる。エッチングストップ膜3としては、層間絶縁膜4及び2に対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば窒化シリコン膜を用いる。ここまでの工程を図1に示す。

【0022】次に、ホトリソグラフィ技術を用いて、層間絶縁膜4上に配線パターンを有するレジストマスクを形成し、その後、前記レジストマスクをエッチングマスクとして使用し、層間絶縁膜4及びエッチングストップ膜3にドライエッチングを施して互いに隣合う複数の溝5を形成する。

【0023】この工程において、溝5の幅方向に沿う断面形状は、ドライエッチング時のレジストマスクの後退等によって上部がラップ状に広がった台形状、若しくは底部から上部にかけてテーパ状に広がった台形状になる。従って、溝5の上部の幅5Bは底部の幅5Aよりも広がる。また、隣合う溝5間における上部のスペース幅4Bは底部におけるスペース幅4Aよりも狭くなる。これらの寸法差は、溝5のアスペクト比の増大と共に顕著になる。ここまでの工程を図2に示す。

【0024】次に、溝5の内壁上を含む層間絶縁膜4上に、導電膜として例えば窒化チタン(TiN)膜からなるバリア膜6をスパッタ法で形成する。バリア膜6は、例えば40nm程度の膜厚で形成する。本実施形態では、後で説明するが、配線材としてCuを用いる。Cuはプロセス中の熱処理によって拡散し易く、基板に形成されたトランジスタ素子のpn接合部に到達してリーク電流を増加させるといった不具合の要因となるため、Cuを配線材として用いる場合にはCuの拡散を抑制する必要がある。そこで、本実施形態では、Cuの拡散を抑制する目的として、TiN膜からなるバリア膜6を用いている。

【0025】次に、バリア膜6上の全面に導電膜として例えばCu膜からなるシードレイヤ膜(図示せず)をスパッタ法で形成する。このシードレイヤ膜は150nm程度の膜厚で形成する。

【0026】次に、溝5の内部を埋め込むようにバリア膜6上の全面、即ち、層間絶縁膜4上の全面に導電膜として例えばCu膜7をメッキ法で形成する。Cu膜7は、溝5の深さよりも厚い膜厚で形成する。メッキ法は、ECD(Electro Chemical Deposition)と呼ばれる成膜技術の1つであり、比較的アスペクト比が大きい溝の内部においても容易にCuを埋め込むことができ

る。ここまでの工程を図3に示す。

【0027】次に、図4に示すように、溝5の内部にCu膜7が残るように層間絶縁膜4上におけるCu膜7及びシードレイヤ膜をCMP法で選択的に除去する。CMP法によるCu膜7及びシードレイヤ膜の選択的な除去は、スラリー（研磨材）としてアルミナ砥粒を用い、研磨レートがCu膜7：バリア膜6＝30：1の条件下で行う。

【0028】次に、図5に示すように、溝5の内部にCu膜7及びバリア膜6が残るように層間絶縁膜4上におけるバリア膜6をCMP法で選択的に除去する。CMP法によるバリア膜6の選択的な除去は、スラリーとしてシリカ砥粒を用い、研磨レートがCu膜7：バリア膜6：層間絶縁膜4＝1：10：5の条件下で行う。この工程により、溝5の内部に、シードレイヤ膜を含むCu膜7、及びバリア膜6からなる2層構造の配線8が形成される。ここで、本実施形態では、導電膜であるTiN膜をバリア膜6として用いているため、バリア膜6を配線材として見なすことができる。従って、本実施形態においてはバリア膜6も含めて配線と呼ぶ。

【0029】この工程において、配線8の幅方向に沿う断面形状は溝5の幅方向に沿う断面形状によって律則されるため、配線8の断面形状も溝5の断面形状と同様に、上部がラップ状に広がった台形状、若しくは底部から上部にかけてテーパ状に広がった台形状になる。従って、隣合う配線8間における上部のスペース幅9は設計寸法よりも狭くなる。

【0030】次に、図6に示すように、溝5の深さが浅くなるように、層間絶縁膜4の上層部及び配線8の上層部をCMP法で除去する。CMP法による層間絶縁膜4及び配線8の夫々の上層部の除去は、スラリーとしてシリカ砥粒を用い、研磨レートがCu膜7：バリア膜6：層間絶縁膜4＝5：10：5の条件下で行う。即ち、オーバーポリッシュすることでディッシングを故意に起こし、層間絶縁膜4及び配線8の夫々の上層部を研磨する。この時、トータルディッシング量10が図5における配線8の高さ（厚さ）の10%以上になるようにする。この工程において、配線8の上部の広がり部分が除去され、配線8間の上におけるスペース幅9が広くなる。

【0031】次に、図7及び図8に示すように、配線8の上面8Aと側面8Bとが交わる角部8Cの角度11を鈍角（>90度）にする。この角部8Cにおける角度は、配線8の上面8Aの周縁部をウェットエッチングにて除去することによって鈍角にすることができる。ウェットエッチングは、薬液として例えばアンモニア及び過酸化水素水等を用いて行う。この工程により、互いに隣合う複数の配線8は、幅方向に沿う断面において、上面8Aの周縁部における高さが側面8Bに向かって単調に減少する構造、換言すれば、上面8Aと側面8Bとが交

わる角部の角度が鈍角をなす構造になるため、配線8の上面8Aと側面8Bとが交わる角部での電界集中を緩和できる。

【0032】次に、図9に示すように、配線8上を含む層間絶縁膜4上の全面に、絶縁層として例えば窒化シリコン（SiN）膜からなるバリア膜12をCVD（Chemical Vapor Deposition）法で形成する。バリア膜12はCuの拡散を抑制する目的で形成される。これにより、Cu材を用いた配線8がダマシン法によって形成される。

【0033】本実施形態によれば、以下の効果が得られる。

（1）互いに隣合うようにして形成され、かつ上部の幅が底部の幅よりも広い複数の溝5の夫々の内部に配線8を形成した後、配線8の上部を除去することにより、配線8の上部の広がり部分が除去され、配線8間の上におけるスペース幅9が広がるため、配線8に付加される寄生容量を低減できる。また、溝5が密な部分、即ち配線8が密な部分での配線8間の短絡を抑制できる。

（2）配線8の上部の除去をCMP法で行うことにより、配線8の上部を簡単に除去でき、更に除去する量を容易に制御できる。

（3）配線8の上面8Aと側面8Bとが交わる角部8Cの角度11を鈍角にすることにより、配線8の上面8Aと側面8Bとが交わる角部8Cでの電界集中を緩和できるため、TDD耐性の向上を図ることができる。

（4）配線8の上縁における角部8Cの角度11が鈍角となるように配線8の上縁部を選択的に除去することにより、配線8の上縁部における高さが層間絶縁膜4の高さよりも低くなるため、隣合う配線8間での短絡を更に抑制できる。

【0037】（実施形態2）本実施形態2は、前述の実施形態1の変形例である。以下、本実施形態2について、図10乃至図14を用いて説明する。図10乃至図14は半導体装置の製造における配線形成工程を説明するための要部断面図であり、図13は図12の一部を拡大した断面図である。なお、図10乃至図14は、実施形態1での図面と同様に、溝及び配線の幅方向に沿う断面図である。

【0038】まず、前述の実施形態1と同様の工程を施し、図5に示すように、溝5の内部に、シードレイヤ膜を含むCu膜7及びバリア膜6からなる2層構造の配線8を形成する。

【0039】次に、図10に示すように、配線8の上面が層間絶縁膜4の上面よりも突出するように層間絶縁膜4の上層部をCMP法で除去する。CMP法による層間絶縁膜4の除去は、Cu膜7及びバリア膜6よりも層間絶縁膜4の研磨レートが大きい条件下で行う。

【0040】次に、図11に示すように、配線8の上層

部をCMP法で除去する。配線8の上層部の除去は、スラリーとしてシリカ砥粒を用い、層間絶縁膜4よりもCu膜7及びバリア膜6の研磨レートが大きい条件下で行う。即ち、オーバーポリッシュすることでディッシングを故意に起こし、配線8の上層部を研磨する。この工程において、配線8の上部の広がり部分が除去され、配線8間の上におけるスペース幅が広がる。

【0041】次に、図12及び図13に示すように、配線8の上面8Aと側面8Bとが交わる角部8Cの角度11を鈍角(>90度)にする。この角部8Cにおける角度は、配線8の上面8Aの周縁部をウェットエッチングにて除去することによって鈍角にすることができる。この工程により、互いに隣合う複数の配線8は、幅方向に沿う断面において、上面8Aの周縁部における高さが側面8Bに向かって単調に減少する構造、換言すれば、上面8Aと側面8Bとが交わる角部の角度が鈍角をなす構造になるため、配線8の上面8Aと側面8Bとが交わる角部での電界集中を緩和できる。

【0042】次に、図14に示すように、配線8上を含む層間絶縁膜4上の全面に、絶縁層として例えば窒化シリコン(SiN)膜からなるバリア膜12をCVD(Chemical Vapor Deposition)法で形成する。これにより、Cu材を用いた配線8がダマシン法によって形成される。

【0043】本実施形態では、前述の実施形態1と異なり、先に層間絶縁膜4の上層部を研磨除去して配線8の上層部を突出させるため、配線8の上層部の除去工程において研磨し易く、ディッシングさせ易い。

【0044】(実施形態3)本実施形態3は、前述の実施形態1の変形例である。以下、本実施形態3について、図15乃至図19を用いて説明する。図15乃至図19は半導体装置の製造における配線形成工程を説明するための要部断面図であり、図18は図17の一部を拡大した断面図である。なお、図15乃至図19は、実施形態1での図面と同様に、溝及び配線の幅方向に沿う断面図である。

【0045】まず、前述の実施形態1と同様の工程を施し、図5に示すように、溝5の内部に、シードレイヤ膜を含むCu膜7及びバリア膜6からなる2層構造の配線8を形成する。

【0046】次に、図15に示すように、配線8の上面が層間絶縁膜4の上面よりも突出するように層間絶縁膜4の上層部をウェットエッチングにて除去する。この時、層間絶縁膜4のエッチング量が図5における配線8の高さ(厚さ)の10%以上になるようにする。

【0047】次に、図16に示すように、配線8の上層部をCMP法で除去して平坦化する。配線8の上層部の除去は、スラリーとしてシリカ砥粒を用い、層間絶縁膜4よりもCu膜7及びバリア膜6の研磨レートが大きい条件下で行う。この工程において、配線8の上部の広が

り部分が除去され、配線8間の上におけるスペース幅が広がる。

【0048】次に、図17及び図18に示すように、配線8の上面8Aと側面8Bとが交わる角部8Cの角度11を鈍角(>90度)にする。この角部8Cにおける角度は、配線8の上面8Aの周縁部をウェットエッチングにて除去することによって鈍角にすることができる。この工程により、互いに隣合う複数の配線8は、幅方向に沿う断面において、上面8Aの周縁部における高さが側面8Bに向かって単調に減少する構造、換言すれば、上面8Aと側面8Bとが交わる角部の角度が鈍角をなす構造になるため、配線8の上面8Aと側面8Bとが交わる角部での電界集中を緩和できる。

【0049】次に、図19に示すように、配線8上を含む層間絶縁膜4上の全面に、絶縁層として例えば窒化シリコン(SiN)膜からなるバリア膜12をCVD(Chemical Vapor Deposition)法で形成する。これにより、Cu材を用いた配線8がダマシン法によって形成される。

【0050】本実施形態では、前述の実施形態1と異なり、配線8と層間絶縁膜4との段差が最も小さい構造となるため、更に配線を積層させる際の平坦化プロセスを最小限にすることができる。

【0051】(実施形態4)本実施形態4では、半導体装置の製造において、デュアルダマシン法による配線形成技術に本発明を適用した例について説明する。

【0052】図20乃至図25は本発明の実施形態4である半導体装置の製造における配線形成工程を説明するための要部断面図である。なお、図20乃至図25は後述する溝及び配線の幅方向に沿う断面図である。

【0053】まず、前述の実施形態3と同様の工程を施し、図19に示すように、溝5の内部に、シードレイヤ膜を含むCu膜7及びバリア膜6からなる2層構造の配線8を形成する。

【0054】次に、バリア膜12上の全面に絶縁層として例えば酸化シリコン膜からなる層間絶縁膜13を形成し、その後、絶縁層として例えば窒化シリコン膜からなるエッチングストップ膜14を形成する。

【0055】次に、エッチングストップ膜14に開口部15を形成する。開口部15は、接続孔形成部に設けられ、上層の配線と電氣的に接続される下層の配線8上に重なる。開口部15の形成は、フォトリソグラフィ技術で形成されたレジストマスクを用いて行う。

【0056】次に、図20に示すように、開口部15の内部を含むエッチングストップ膜14上の全面に絶縁層として例えば酸化シリコン膜からなる層間絶縁膜16を形成する。

【0057】次に、フォトリソグラフィ技術を用いて、層間絶縁膜16上に配線パターンを有するレジストマスクを形成し、その後、前記レジストマスク及びエッチン

グストップ膜 14 をエッチングマスクとして使用し、層間絶縁膜 16 及び 13 にドライエッチングを施して、図 21 に示すように、互いに隣合う複数の溝 17 及び複数の接続孔 18 を形成する。

【0058】この工程において、溝 17 の幅方向に沿う断面形状は、ドライエッチング時のレジストマスクの後退等によって上部がラップ状に広がった台形状、若しくは底部から上部にかけてテーパ状に広がった台形状になる。従って、溝 17 の上部の幅 17B は底部の幅 17A よりも広くなる。また、隣合う溝 17 間における上部のスペース幅 16B は底部におけるスペース幅 16A よりも狭くなる。これらの寸法差は、溝 17 のアスペクト比の増大と共に顕著になる。

【0059】次に、溝 17 の内壁上を含む層間絶縁膜 16 上に、導電膜として例えば窒化チタン (TiN) 膜からなるバリア膜 19 をスパッタ法で形成する。バリア膜 19 は、例えば 40 nm 程度の膜厚で形成する。本実施形態においても、配線 8 と同様に配線材として Cu を用いる。従って、Cu の拡散を抑制する目的として、TiN 膜からなるバリア膜 19 を用いている。

【0060】次に、バリア膜 19 上の全面に導電膜として例えば Cu 膜からなるシードレイヤ膜 (図示せず) をスパッタ法で形成し、その後、図 22 に示すように、溝 17 の内部を埋め込むようにバリア膜 19 上の全面、即ち、層間絶縁膜 16 上の全面に導電膜として例えば Cu 膜 20 をメッキ法で形成する。Cu 膜 20 は、溝 17 の深さよりも厚い膜厚で形成する。

【0061】次に、溝 17 の内部に Cu 膜 20 及びバリア膜 19 が残るように層間絶縁膜 16 上における Cu 膜 20 及びバリア膜 19 を CMP 法で選択的に除去する。CMP 法による Cu 膜 20 及びバリア膜 19 の選択的な除去は、前述の実施形態 1 と同様の条件下で行う。この工程により、溝 17 の内部に、シードレイヤ膜を含む Cu 膜 20、及びバリア膜 19 からなる 2 層構造の配線 21 が形成される。ここで、本実施形態においても、導電膜である TiN 膜をバリア膜 19 として用いているため、前述の実施形態 1 と同様に、バリア膜 19 を含めて配線と呼ぶ。

【0062】この工程において、配線 21 の幅方向に沿う断面形状は溝 17 の幅方向に沿う断面形状によって律則されるため、配線 21 の断面形状も溝 17 の断面形状と同様に、上部がラップ状に広がった台形状、若しくは底部から上部にかけてテーパ状に広がった台形状になる。従って、隣合う配線 23 間における上部のスペース幅 22 は設計寸法よりも狭くなる。

【0063】次に、図 24 に示すように、溝 5 の深さが浅くなるように、層間絶縁膜 16 の上層部及び配線 21 の上層部を CMP 法で除去する。CMP 法による層間絶縁膜 16 及び配線 21 の夫々の上層部の除去は、前述の実施形態 1 と同様の条件下で行う。即ち、オーバーポリ

ッシュすることでディッシングを故意に起こし、層間絶縁膜 16 及び配線 21 の夫々の上層部を研磨する。この時、トータルディッシング量が図 23 における配線 21 の高さ (厚さ) の 10% 以上になるようにする。この工程において、配線 21 の上部の広がり部分が除去され、配線 21 間の上層部におけるスペース幅 22 が広くなる。

【0064】次に、図 25 に示すようにウェットエッチングを施して、前述の実施形態 1 と同様に、配線 21 の上面 21A と側面 21B とが交わる角部 21C の角度を鈍角 (>90 度) にする。この工程により、互いに隣合う複数の配線 21 は、幅方向に沿う断面において、上面 21A の周縁部における高さが側面 21B に向かって単調に減少する構造、換言すれば、上面 21A と側面 21B とが交わる角部の角度が鈍角をなす構造になるため、配線 21 の上面 21A と側面 21B とが交わる角部での電界集中を緩和できる。

【0065】次に、配線 21 上を含む層間絶縁膜 16 上の全面に、絶縁層として例えば窒化シリコン (SiN) 膜からなるバリア膜を CVD 法で形成する。これにより、Cu 材を用いた配線 21 がデュアルダマシン法によって形成される。

【0066】このように、本実施形態のデュアルダマシン法においても、前述の実施形態 1 と同様の効果が得られる。

【0067】なお、前述の実施形態 1~4 では、バリア膜を有する配線の形成について説明したが、本発明はバリア膜を必要としない配線の形成においても適用することができる。

【0068】また、前述の実施形態 1~4 では、配線としてバリア膜を含む表現で説明したが、バリア膜が絶縁膜からなる場合にはこの限りではないのはむしろである。

【0069】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0070】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0071】本発明によれば、配線に付加される寄生容量を低減することができる。

【0072】本発明によれば、配線間の短絡を抑制することができる。

【0073】本発明によれば、配線間における TDDB 耐性の向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 である半導体装置の製造における配線形成工程を説明するための要部断面図であ

る。

【図 2】図 1 に続く配線形成工程を説明するための要部断面図である。

【図 3】図 2 に続く配線形成工程を説明するための要部断面図である。

【図 4】図 3 に続く配線形成工程を説明するための要部断面図である。

【図 5】図 4 に続く配線形成工程を説明するための要部断面図である。

【図 6】図 5 に続く配線形成工程を説明するための要部断面図である。 10

【図 7】図 6 に続く配線形成工程を説明するための要部断面図である。

【図 8】図 7 の一部を拡大した断面図である。

【図 9】図 7 に続く配線形成工程を説明するための要部断面図である。

【図 10】本発明の実施形態 2 である半導体装置の製造における配線形成工程を説明するための要部断面図である。

【図 11】図 10 に続く配線形成工程を説明するための要部断面図である。 20

【図 12】図 11 に続く配線形成工程を説明するための要部断面図である。

【図 13】図 12 の一部を拡大した断面図である。

【図 14】図 12 に続く配線形成工程を説明するための要部断面図である。

【図 15】本発明の実施形態 3 である半導体装置の製造における配線形成工程を説明するための要部断面図であ*

る。

【図 16】図 15 に続く配線形成工程を説明するための要部断面図である。

【図 17】図 16 に続く配線形成工程を説明するための要部断面図である。

【図 18】図 17 の一部を拡大した断面図である。

【図 19】図 17 に続く配線形成工程を説明するための要部断面図である。

【図 20】本発明の実施形態 4 である半導体装置の製造における配線形成工程を説明するための要部断面図である。

【図 21】図 20 に続く配線形成工程を説明するための要部断面図である。

【図 22】図 21 に続く配線形成工程を説明するための要部断面図である。

【図 23】図 22 に続く配線形成工程を説明するための要部断面図である。

【図 24】図 23 に続く配線形成工程を説明するための要部断面図である。

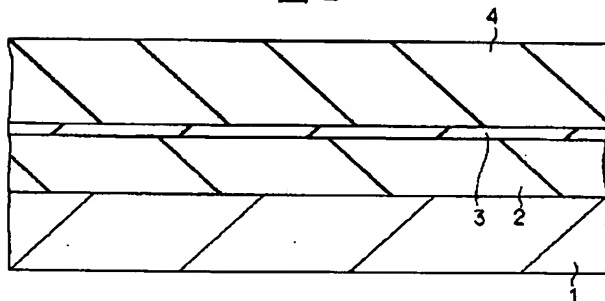
【図 25】図 24 に続く配線形成工程を説明するための要部断面図である。

【符号の説明】

1…半導体基板、2、4…層間絶縁膜、3…エッチングストップ膜、5…溝、6…バリア膜、7…Cu 膜、8…配線、12…エッチングストップ膜、13、16…層間絶縁膜、14…エッチングストップ膜、15…開口部、17…溝、18…接続孔、19…バリア膜、20…Cu 膜、21…配線。

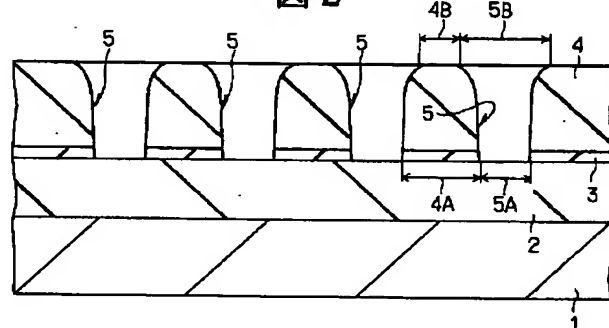
【図 1】

図 1



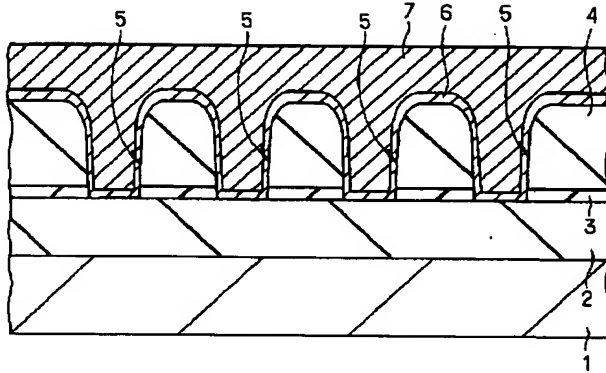
【図 2】

図 2



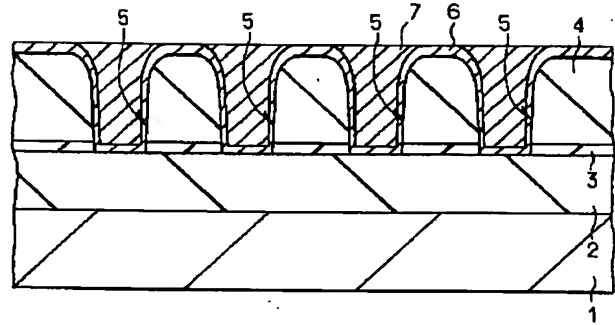
【図 3】

図 3



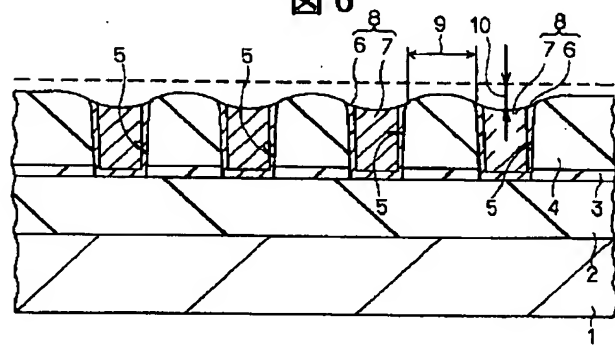
【図 4】

図 4



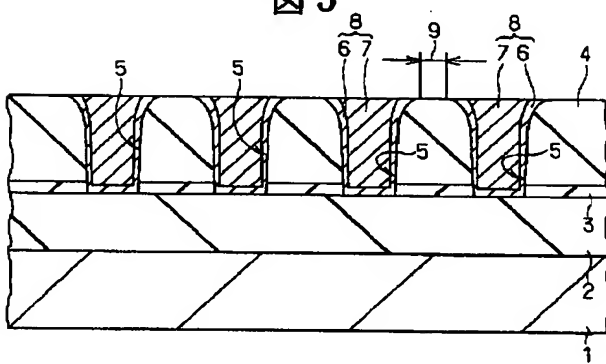
【図 6】

図 6



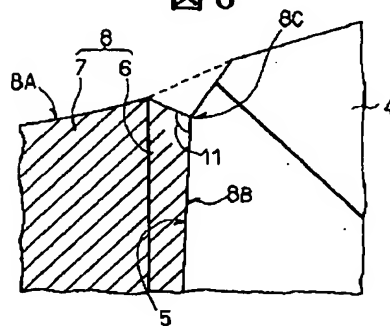
【図 5】

図 5



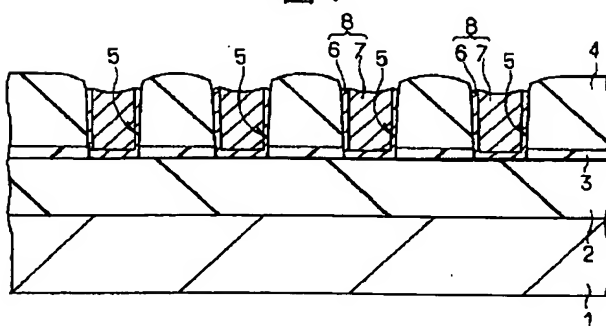
【図 8】

図 8



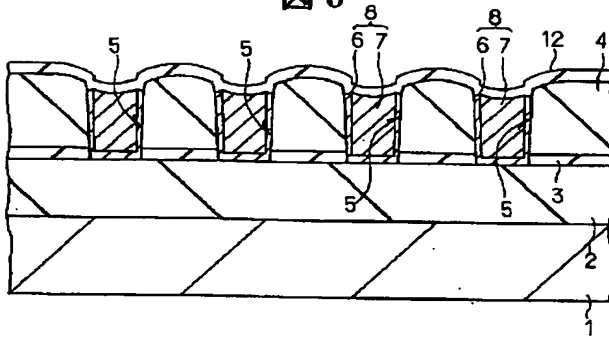
【図 7】

図 7



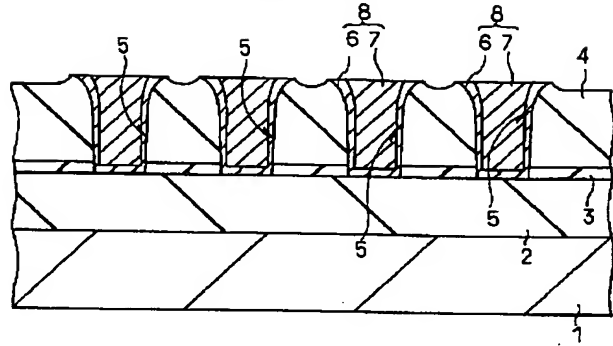
【図 9】

図 9



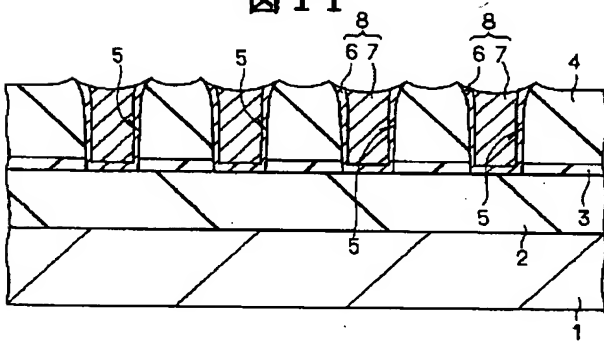
【図 10】

図 10



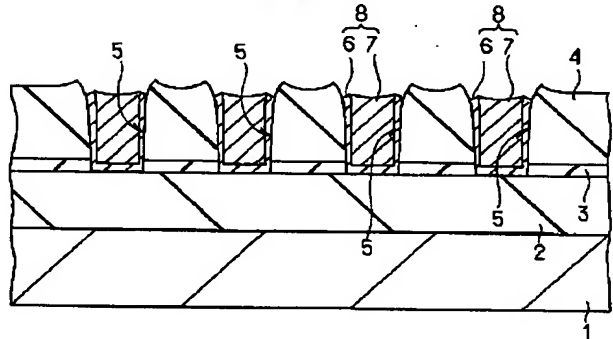
【図 11】

図 11



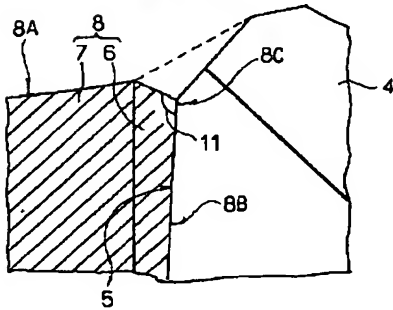
【図 12】

図 12



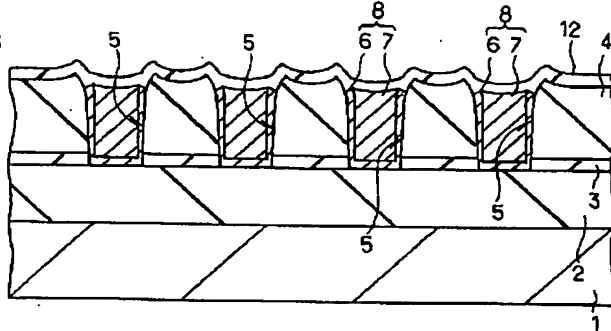
【図 13】

図 13



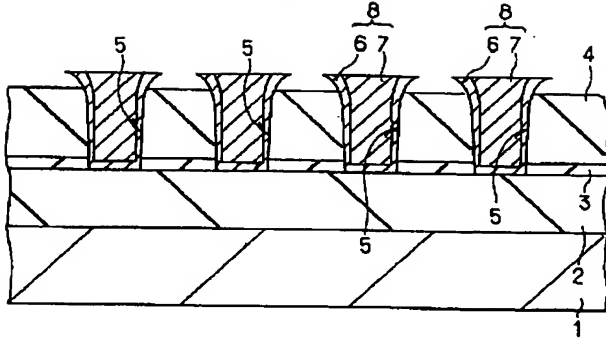
【図 14】

図 14



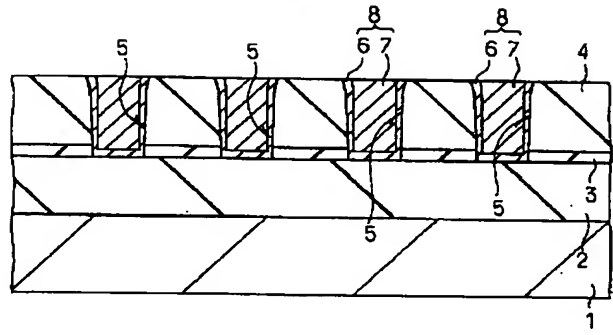
【図15】

図15



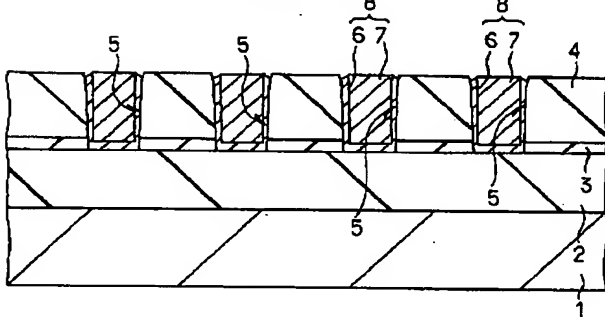
【図16】

図16



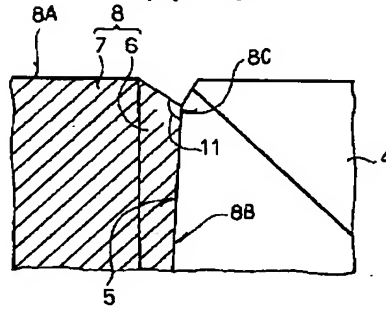
【図17】

図17



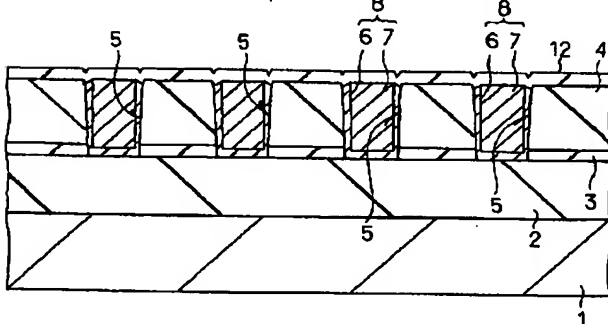
【図18】

図18



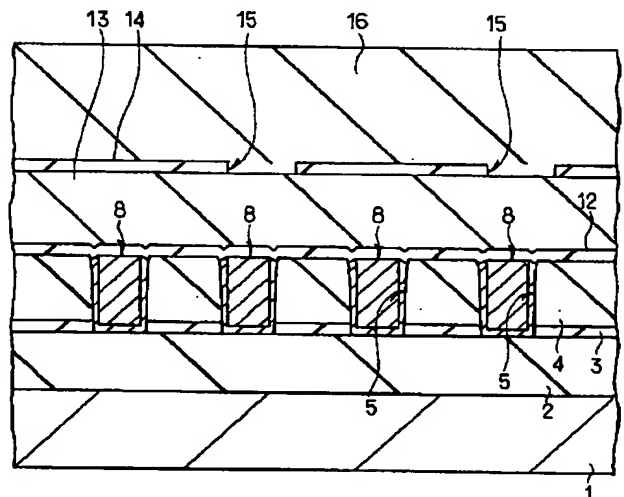
【図19】

図19



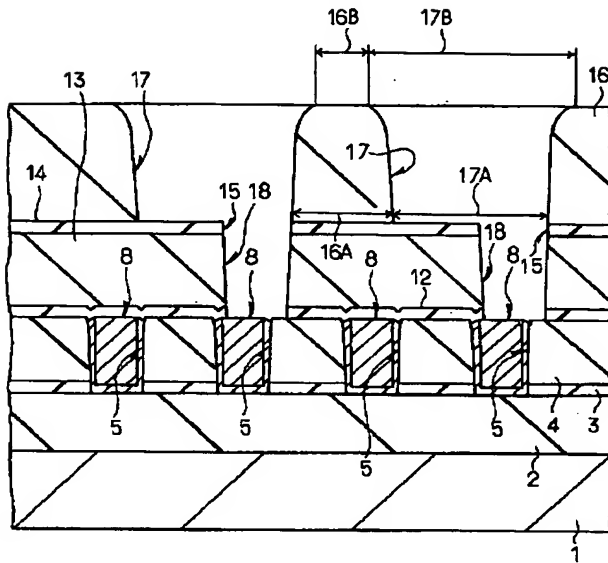
【図20】

図20



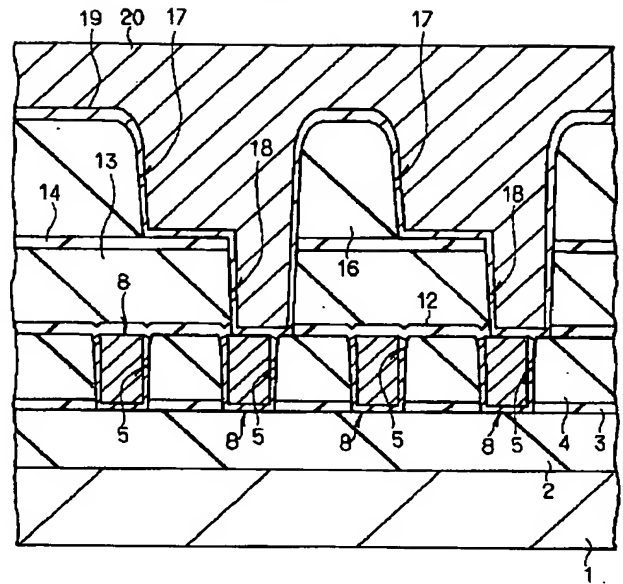
【図21】

図21



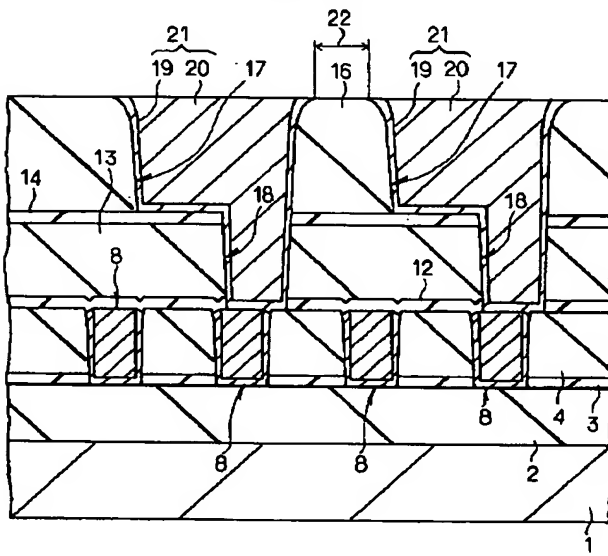
【図22】

図22



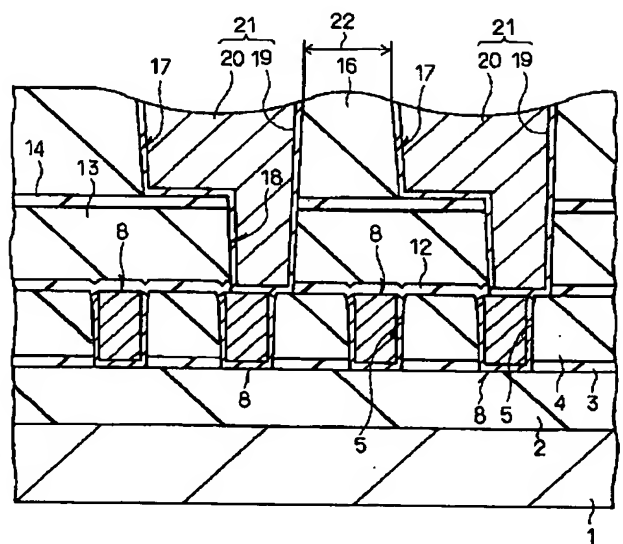
【図23】

図23



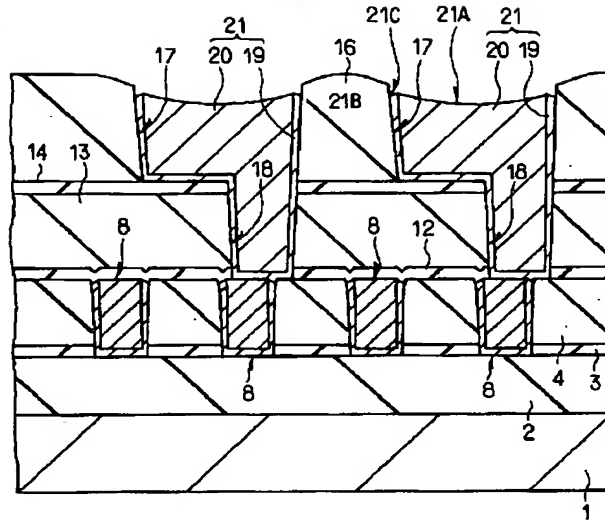
【図24】

図24



【図 25】

図 25



フロントページの続き

(72) 発明者 大島 隆文
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内
 (72) 発明者 山田 洋平
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH11 HH33 JJ11 JJ33 KK11
 KK33 MM01 MM02 MM12 MM13
 MM17 NN06 NN07 PP15 PP27
 QQ08 QQ09 QQ10 QQ11 QQ19
 QQ25 QQ48 RR04 RR06 SS11
 TT02 XX00 XX01 XX25 XX31